



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07321120 A**(43) Date of publication of application: **08 . 12 . 95**

(51) Int. Cl

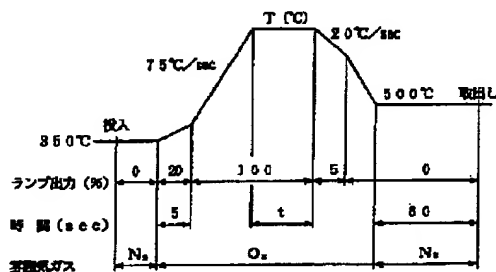
H01L 21/322**H01L 21/26****H01L 21/324**(21) Application number: **06135066**(22) Date of filing: **25 . 05 . 94**(71) Applicant: **KOMATSU ELECTRON METALS
CO LTD**(72) Inventor: **YOSHINO SHIRO
SHIMURA SEIICHI
SATO ATSUSHI**(54) **HEAT TREATMENT OF SILICON WAFER**

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To decrease the residue on the DZ layer of the microscopic defects, which depends on the thermal history of silicon single crystal growth time, and also to decrease the irregularity in defect density and the thickness of the DZ layer in the manufacture of a silicon wafer whereon heat treatment (hereinafter called as a DZIG treatment).

CONSTITUTION: A quick heat treatment as shown in the diagram 1 is performed using a lamp annealing device before a DZIG treatment is conducted. To be more precise, a silicon wafer is put in the lamp annealing device which is heated up to 350°C, the temperature is raised to 950 to 1200°C at the heating rate of 50°C/sec or higher, and the temperature range of 1 to 60sec is maintained. As a result, the formation of a microscopic defect, which is grown and revealed in the initial stage of the DZIG treatment, can be suppressed. Accordingly, the density of microscopic defects remaining on a DZ layer can be lowered, and at the same time, the low temperature thermal history when silicon single crystal is grown by quick heat treatment can be eliminated. As a result, the density of microscopic defects and the irregularity in thickness of the DZ laver can be decreased.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-321120

(43) 公開日 平成7年(1995)12月8日

(51) Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/322

Y

21/26

21/324

D

H 0 1 L 21/ 26

L

審査請求 未請求 請求項の数 2 F D (全 4 頁)

(21) 出願番号 特願平6-135066

(22) 出願日 平成6年(1994)5月25日

(71) 出願人 000184713

コマツ電子金属株式会社

神奈川県平塚市四之宮2612番地

(72) 発明者 芳野 史朗

神奈川県平塚市四之宮2612 コマツ電子金

属株式会社内

(72) 発明者 志村 誠一

神奈川県平塚市四之宮2612 コマツ電子金

属株式会社内

(72) 発明者 佐藤 淳

神奈川県平塚市四之宮2612 コマツ電子金

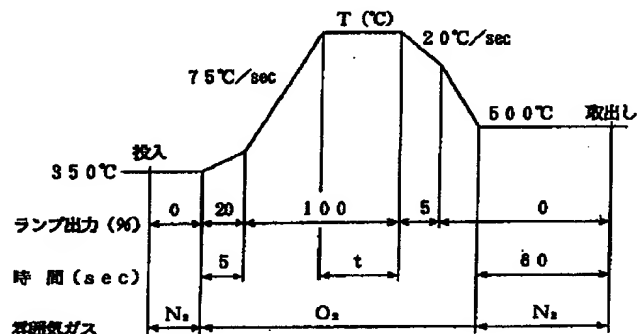
属株式会社内

(54) 【発明の名称】 シリコンウェーハの熱処理方法

(57) 【要約】

【目的】 イントリンシックゲッタリング構造を付与する熱処理（以下D Z I G処理という）を施したシリコンウェーハの製造に当たり、C Z法によるシリコン単結晶育成時の熱履歴に依存する微小欠陥のD Z層への残留や、欠陥密度およびD Z層の厚さのばらつきを低減する。

【構成】 D Z I G処理の前に、ランプアニール装置を用いて図1に示す急速熱処理を行う。すなわち、350°Cに加熱したランプアニール装置にシリコンウェーハを投入し、50°C/sec以上の昇温速度で950~1200°Cに昇温させ、前記温度範囲を1~60sec保持する。これにより、前記D Z I G処理の初期に成長して顕在化する微小欠陥の形成を抑制することができる。従って、D Z層に残留する微小欠陥密度が低くなるとともに、前記急速熱処理によってシリコン単結晶育成時の低温熱履歴が消去されるため、微小欠陥密度やD Z層の厚さのばらつきも低減する。



【特許請求の範囲】

【請求項1】 シリコンウェーハにイントリンシックゲッターリング構造を付与するための熱処理に先立ち、熱放射アニール装置を用いて急速熱処理を行うことを特徴とするシリコンウェーハの熱処理方法。

【請求項2】 前記急速熱処理は、ランプアニール装置にシリコンウェーハを投入後、 $50^{\circ}\text{C}/\text{sec}$ 以上の昇温速度で $950\sim 1200^{\circ}\text{C}$ に昇温させ、前記温度範囲を $1\sim 60\text{sec}$ 保持するものであることを特徴とする請求項1のシリコンウェーハの熱処理方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、シリコンウェーハの熱処理方法に関する。

【0002】

【従来の技術】 チョクラスキー法（以下CZ法という）を用いて成長させたシリコン単結晶を切断、研磨して得られたウェーハの表層に無欠陥領域（以下DZ層という）を形成するため、所定の熱処理を施して、前記ウェーハをイントリンシックゲッターリング構造（以下IG構造という）にする技術が従来から用いられている。前記IG構造は、シリコンウェーハの表面から数十 μm 以上の深さの部分にゲッターリング源となる高密度のバルク微小欠陥（以下BMDという）を形成するもので、このBMDはウェーハの表層に存在する不純物の捕獲拠点として利用される。

【0003】 シリコンウェーハにIG構造を付与する熱処理（以下DZIG処理という）として、たとえば特公昭62-16539に示されているように、 $500\sim 900^{\circ}\text{C}$ に加熱した炉内にシリコンウェーハを投入し、 $5\sim 14^{\circ}\text{C}/\text{min}$ の昇温速度で $950\sim 1300^{\circ}\text{C}$ まで昇温させる方法が知られている。また、特公平3-19699で開示された熱処理方法は、 $10^{\circ}\text{C}/\text{min}$ 以上の昇温速度で $1000\sim 1400^{\circ}\text{C}$ まで昇温させるものである。一般には、 $950\sim 1300^{\circ}\text{C}$ 程度の高温熱処理と $400\sim 800^{\circ}\text{C}$ 程度の中・低温熱処理とを組み合わせた方法が用いられている。

【0004】

【発明が解決しようとする課題】 上記DZIG処理におけるシリコンウェーハの炉内への投入は通常 700°C 程度で行われ、この温度から $950\sim 1400^{\circ}\text{C}$ の高温域まで昇温させていく。ところが、ウェーハによってはCZ法による単結晶育成中に発生した酸素析出核が前記昇温過程で成長し、DZ層となるべき部分に欠陥が残留してデバイス特性を悪化させることがある。また、CZ法を用いて育成されたシリコン単結晶はインゴットの軸方向に沿ってそれぞれ異なる熱履歴を受けているが、従来のDZIG処理方法では前記熱履歴をそのまま受け継いでしまうことがある。その結果、BMD密度やDZ層の厚さがインゴットの長さ方向でばらつく。

【0005】 上記問題は、特願平6-44958に示されているように、ウェーハ投入時の炉内温度から高温域までの昇温速度を $9\sim 12^{\circ}\text{C}/\text{min}$ に引き上げるることによって解決することができる。しかしながら、シリコンウェーハが8インチ以上に大径化すると、前記昇温速度が速いためにウェーハにそりやスリップが発生するという新たな問題が起こるおそれがある。

【0006】 本発明は上記の問題点に着目してなされたもので、8インチ以上の大径ウェーハを含むシリコンウェーハにDZIG処理を施す際に、ウェーハ投入後の昇温速度を適切な範囲に抑えることによってそりやスリップの発生を未然に防止するとともに、CZ法によるシリコン単結晶育成時の熱履歴に依存する欠陥がDZ層に残留せず、BMD密度やDZ層の厚さのばらつきを低減することができるようなシリコンウェーハの熱処理方法を提供することを目的としている。

【0007】

【課題を解決するための手段】 上記目的を達成するため、本発明に係るシリコンウェーハの熱処理方法は、シリコンウェーハにイントリンシックゲッターリング構造を付与するための熱処理に先立ち、熱放射アニール装置を用いて急速熱処理を行うことを特徴とし、前記急速熱処理は、ランプアニール装置にシリコンウェーハを投入後、 $50^{\circ}\text{C}/\text{sec}$ 以上の昇温速度で $950\sim 1200^{\circ}\text{C}$ に昇温させ、前記温度範囲を $1\sim 60\text{sec}$ 保持する構成とした。

【0008】

【作用】 as-grownウェーハ中に存在する潜在核のうち、DZIG処理の初期（ウェーハ投入から高温域に昇温する期間）に成長して顕在化するBMDと、DZIG処理の初期では収縮し、後期（低温域に保持する期間）に析出核となり、その後の熱処理によって顕在化するBMDとがある。初期に成長して顕在化するBMDの存在比率が高いと、DZ層に残留する欠陥密度が高くなり、BMD密度そのものもシリコン単結晶育成時の熱履歴に依存してばらつく。これに対して本発明によれば、シリコンウェーハにDZIG処理を行う前に急速熱処理を行う構成としたので、前記DZIG処理の初期に成長して顕在化するBMDの形成を抑制することができる。従って、DZ層に残留するBMD密度が低くなるとともに、前記急速熱処理によってシリコン単結晶育成時の低温熱履歴が消去されるため、BMD密度やDZ層の厚さのばらつきも低減する。また、本発明の急速熱処理条件ではウェーハにそりやスリップが発生することはない。

【0009】

【実施例】 以下に、本発明に係るシリコンウェーハの熱処理方法の実施例について、図面を参照して説明する。昇降温プロファイルの一例を示すと図1の通りで、シリコンウェーハに対するDZIG処理に先立って行う急速熱処理に適用されるものである。すなわち、常圧のN₂

雰囲気中で 350°C に加熱したランプアニール装置にシリコンウェーハを投入し、雰囲気ガスを O_2 に切り換えた上、ランプ出力20%で5sec間昇温させる。次に、ランプ出力を100%に上げ、 $75^{\circ}\text{C}/\text{sec}$ のランプレートで $T^{\circ}\text{C}$ まで昇温させ、この温度を保持したままtsecの短時間アニールを行う。その後、ランプ出力を5%に落とし、 $20^{\circ}\text{C}/\text{sec}$ の割合で炉内温度を下げ、更にランプ出力を0%にして 500°C まで下げる。ここで雰囲気ガスを N_2 に切り換えた上、ウェーハを取り出す。

【0010】上記昇降温プロファイルにおいて、ランプレートは $50^{\circ}\text{C}/\text{sec}$ 以上であればよい。この昇温速度は非常に速いが、熱源として波長 $0.1\sim 4\mu\text{m}$ のランプを用いているため、ウェーハは均一に加熱され、そりやスリップ発生が起こらない。また、温度 T は $950\sim 1200^{\circ}\text{C}$ 、好ましくは 1000°C とする。この場合、温度 T が 950°C 未満では効果がなく、 1200°C を超えるとスリップなどの問題が起こる。前記温度 T の保持時間 t は $1\sim 60\text{sec}$ とする。保持時間 t が 60sec を超えてもよいが、効果は変わらない。なお、 350°C に加熱したランプアニール装置にシリコンウェーハを投入後、 $50^{\circ}\text{C}/\text{sec}$ 以上のランプレートで $T^{\circ}\text{C}$ まで直線的に昇温させ、tsec保持した後ランプ出力を直ちに0%として 500°C まで直線的に降温させてもよい。

【0011】本発明による熱処理を行うことによってどのような効果が上がるかを確認するため、次の実験を行った。

(1) ランプアニール装置を用いる急速熱処理(Rapid Thermal Processing、以下RTPという)において、熱処理温度(図1の T)を 700°C および 1000°C の2水準、前記温度の保持時間(図1の t)を10secおよび30secの2水準とし、計4水準の熱処理をそれぞれのシリコンウェーハに施した。

(2) 上記各シリコンウェーハに、図2に示すようなDZIG処理を施した。すなわち、各シリコンウェーハを 700°C の炉内に投入して15min保持し、昇温速度を $6^{\circ}\text{C}/\text{min}$ として 700°C から 1175°C まで昇温させ、 1175°C で5時間保持した。その後、 $3^{\circ}\text{C}/\text{min}$ の割合で 700°C まで下げ、4時間保持した。雰囲気ガスは、前記ウェーハの炉内投入から 1175°C に昇温して所定時間が経過するまでの間は N_2 と O_2 との混合ガスとし、その後は N_2 のみとした。

(3) 次に、各シリコンウェーハにドライ O_2 雰囲気中で、 1000°C 、16時間の熱処理を施した。なお、上記4水準のRTPウェーハと比較するため、RTPを行わないシリコンウェーハに上記(2)のDZIG処理と(3)の熱処理とを施したものを用意した。

【0012】これらのシリコンウェーハを切断し、断面を鏡面研磨した後、表面から $10\mu\text{m}$ および $100\mu\text{m}$ におけるBMD密度を赤外トモグラフで観察したところ、図3に示す結果が得られた。

(1) RTP未処理ウェーハおよびRTP時の熱処理温度を 700°C 、保持時間を10secまたは30secとしたウェーハでは、表面からの深さ $10\mu\text{m}$ 、すなわちDZ層のBMD密度が $2\sim 3\times 10^7$ 個/ cm^3 であるのに対し、前記熱処理温度を 1000°C 、保持時間を10secまたは30secとしたウェーハのBMD密度は約1桁低い $2\sim 3\times 10^6$ 個/ cm^3 であり、as-grownレベルにほぼ等しい密度となった。

(2) ウェーハ表面から $100\mu\text{m}$ の深さでは、RTP未処理ウェーハおよびRTP時の熱処理温度を 700°C としたウェーハのBMD密度が $2\sim 5\times 10^6$ 個/ cm^3 であるのに対し、前記熱処理温度を 1000°C としたウェーハでは $1\sim 3\times 10^7$ 個/ cm^3 と低密度であった。

【0013】RTPを行うことによって、ウェーハ表面から $100\mu\text{m}$ の深さのBMD、すなわちゲッタリング源となるBMDも低密度となる。しかし、DZIG処理の後半における 700°C での保持時間を延長することにより、前記BMDを所定の密度に高めることができる。

【0014】次に、DZ層の厚さについて光学顕微鏡による観察の結果、図4に示す結果が得られた。図中の○印はDZ層表面から1個目のBMDまでの距離(以下DZ-1という)、△印はDZ層表面から3個目のBMDまでの距離(以下DZ-3という)をそれぞれ示している。

(1) RTP未処理ウェーハおよびRTP時の熱処理温度を 700°C 、保持時間を10secまたは30secとしたウェーハでは、DZ-1が $20\sim 35\mu\text{m}$ 、DZ-3が $48\sim 52\mu\text{m}$ であった。

(2) 前記熱処理温度を 1000°C 、保持時間を10secまたは30secとしたウェーハでは、DZ-1が $72\sim 90\mu\text{m}$ 、DZ-3が $133\sim 156\mu\text{m}$ となり、DZ層の厚さが増すとともに、ばらつきが小さくなった。また、DZ-1とDZ-3との差も大きくなった。

【0015】

【発明の効果】以上説明したように本発明によれば、シリコンウェーハにDZIG処理を行う前に 1000°C 前後の急速熱処理を行うことにしたので、DZIG処理の初期に成長して顕在化するBMDの形成を抑制することができ、DZ層に残留するBMD密度が低くなるとともに、前記急速熱処理によってシリコン単結晶育成時の低温熱履歴が消去されるため、BMD密度やDZ層の厚さのばらつきも低減する。また、本発明の急速熱処理条件ではウェーハにそりやスリップが発生することはない。

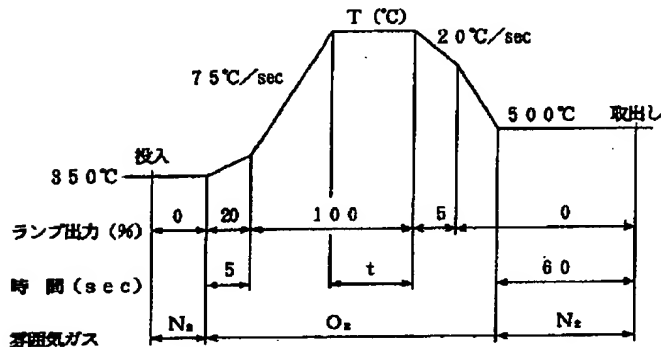
い。従って、本発明による熱処理方法を適用すれば、8インチ以上の大径ウェーハに起こり得るスリップなどを防止することができるようなDZIG処理、すなわち昇温速度の低いDZIG処理を行っても、DZ層に残留するBMD密度が低く、かつBMD密度やDZ層の厚さのばらつきの小さい高品質のDZIG処理ウェーハを容易に製造することが可能となる。

【図面の簡単な説明】

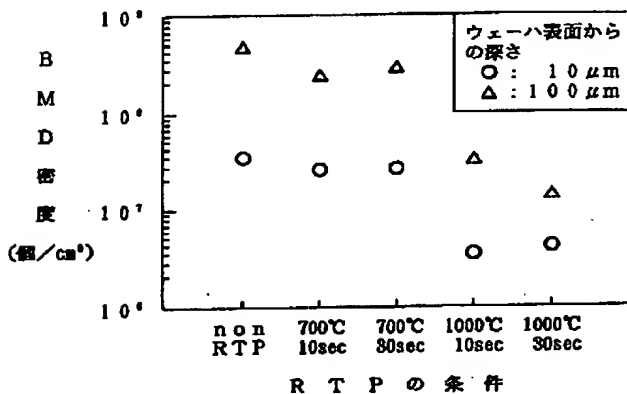
【図1】シリコンウェーハに対するDZIG処理に先立*

10

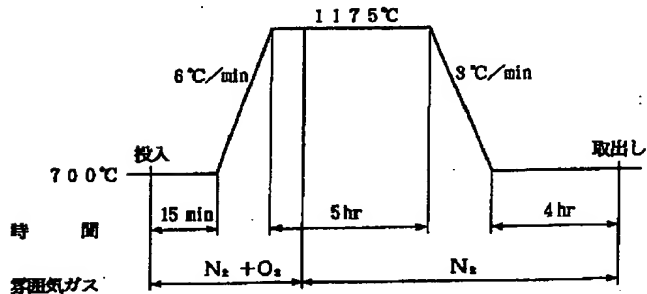
【図1】



【図3】



【図2】



【図4】

